

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204788

(43)公開日 平成11年(1999)7月30日

(51)Int.Cl.<sup>6</sup>  
H 01 L 29/78  
21/76

識別記号

F I  
H 01 L 29/78  
21/76

3 0 1 R  
L

審査請求 未請求 請求項の数10 O.L (全 14 頁)

(21)出願番号 特願平10-8009

(22)出願日 平成10年(1998)1月19日

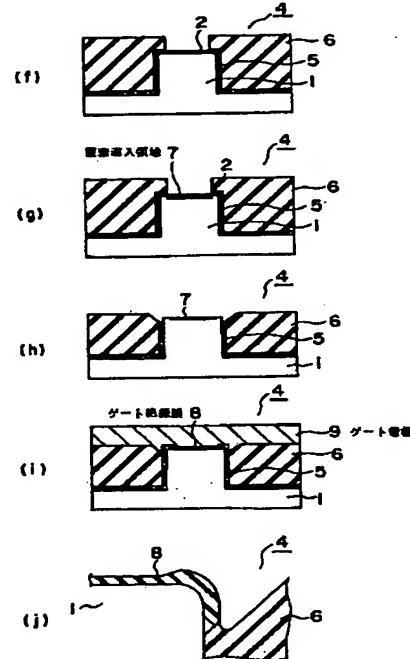
(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72)発明者 大宮 誠治  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(72)発明者 小澤 良夫  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】工程数(工程時間)の増加を招かず、素子分離溝の側壁上端角部とそれに接した素子形成領域の端部のシリコン基板との境界領域におけるゲート絶縁膜(酸窒化シリコン膜)の耐圧劣化を抑制すること。

【解決手段】素子形成領域のシリコン基板1のうち素子分離溝4の側壁上端角部に接したところの端部を覆うように、素子分離溝4の内部を素子分離絶縁膜6で充填し、次に素子分離絶縁膜6をマスクにして、素子形成領域の端部以外の領域のシリコン基板1の表面に窒素を選択的に導入し、次に側壁上端角部が露出するように、素子分離溝4の外部の素子分離絶縁膜6を除去し、次に酸化剤を含む雰囲気中の熱処理により、ゲート絶縁膜としての酸窒化シリコン8を形成する。



【特許請求の範囲】

【請求項 1】 素子形成領域と素子分離領域とに区分されたシリコン基板と、前記素子形成領域の前記シリコン基板の表面上に形成され、かつ前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在するゲート絶縁膜とを具備してなり、前記ゲート絶縁膜は窒素を含むシリコン酸化膜またはシリコン窒化膜を有し、かつ前記ゲート絶縁膜は、前記素子形成領域と前記素子分離領域との境界領域における膜厚が、前記素子形成領域の前記境界領域以外の領域における膜厚よりも厚くなるように自己整合的に形成されていることを特徴とする半導体装置。

【請求項 2】 前記ゲート絶縁膜として、前記シリコン窒化膜を含む積層構造の絶縁膜を用いることを特徴とする特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 シリコン基板を素子形成領域と素子分離領域とに区分する工程と、

前記素子形成領域と前記素子分離領域との境界領域を除いた前記素子形成領域の前記シリコン基板の表面上に窒素を導入する工程と、

酸化剤を含む雰囲気中での熱処理により、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 シリコン基板の表面上に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、

前記素子形成領域の前記シリコン基板のうち前記素子分離溝の側壁上端角部に接したところの端部を覆うように、前記素子分離溝の内部を素子分離絶縁膜で充填する工程と、前記素子分離絶縁膜をマスクにして、前記素子形成領域の前記端部以外の領域の前記シリコン基板の表面上に窒素を選択的に導入する工程と、

前記側壁上端角部が露出するように、前記素子分離溝の外部の前記素子分離絶縁膜を除去する工程と、

酸化剤を含む雰囲気中での熱処理により、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 シリコン基板を素子形成領域と素子分離領域とに区分する工程と、

前記素子形成領域と前記素子分離領域との境界領域の前記シリコン基板の表面上に窒素を導入する工程と、

堆積法を用いて、前記素子形成領域の前記シリコン基板

の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜としての窒素を含むシリコン酸化膜またはシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 シリコン基板上にマスクパターンを形成し、このマスクパターンをマスクにして前記シリコン基板をエッチングすることにより、前記シリコン基板の表面に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、

前記マスクパターンのうち前記素子分離溝の側壁上端角部に接したところの端部を除去する工程と、

前記マスクパターンの残った部分をマスクにして前記シリコン基板の表面に窒素を導入する工程と、

前記マスクパターンを除去した後、堆積法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜としての窒素を含むシリコン酸化膜またはシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】 シリコン基板を素子形成領域と素子分離領域とに区分する工程と、

前記素子形成領域と前記素子分離領域との境界領域の前記シリコン基板の表面に窒素を導入する工程と、窒化法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜としての窒素を含むシリコン酸化膜またはシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 シリコン基板上にマスクパターンを形成し、このマスクパターンをマスクにして前記シリコン基板をエッチングすることにより、前記シリコン基板の表面に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、

前記マスクパターンのうち前記素子分離溝の側壁上端角部に接したところの端部を除去する工程と、

前記マスクパターンの残った部分をマスクにして前記シリコン基板の表面に窒素を導入する工程と、

前記マスクパターンを除去した後、窒化法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜としての窒素を含むシリコン酸化膜またはシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】 結晶性のシリコン基板を素子形成領域と素子分離領域とに区分する工程と、

前記素子形成領域と前記素子分離領域との境界領域の前

記シリコン基板の表面を選択的に非晶質化する工程と、窒化法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜としての窒素を含むシリコン酸化膜またはシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】結晶性のシリコン基板上にマスクパターンを形成し、このマスクパターンをマスクにして前記シリコン基板をエッチングすることにより、前記シリコン基板の表面に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記マスクパターンのうち前記素子分離溝の側壁上端角部に接したところの端部を除去する工程と、マスクパターンの残った部分をマスクにして前記シリコン基板の表面にイオンを注入し、前記シリコン基板の前記表面を選択的に非晶質化する工程と、前記マスクパターンを除去した後、窒化法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜としての窒素を含むシリコン酸化膜またはシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、ゲート絶縁膜として窒素を含むシリコン酸化膜またはシリコン窒化膜を用いた半導体装置およびその製造方法に関する。

##### 【0002】

【従来の技術】MIS型半導体素子を用いた半導体集積回路の高性能化および低コスト化において、素子の微細化および高集積化は重要な役割を果たしている。素子の微細化はデザインルールに従って行われる。

【0003】また、素子の高集積化のためには、素子サイズを小さくするだけではなく、素子分離領域のサイズも小さくすることが重要である。素子分離領域のサイズの微細化に有効な技術としては、トレンチ型の素子分離(STI: Shallow Trench Isolation)技術が知られている。

【0004】ところで、ゲート電極としてボロンを含む多結晶シリコン膜を用いたMOSトランジスタを微細化する場合には、シリコン基板にボロンが拡散することを防止するために、ゲート絶縁膜として酸窒化シリコン膜(窒素を含むシリコン酸化膜)を用いる必要がある。より薄い酸窒化シリコン膜を形成するためには、酸化剤と窒化剤を同時に供給する必要がある。

【0005】以下、このようなゲート絶縁膜(酸窒化シリコン膜)を用いたMOSトランジスタの製造方法を図9、図10を用いて説明する。図9、図10はゲート電

極を通り、チャネル幅方向に平行な面の断面を示している。

【0006】まず、図9(a)に示すように、シリコン基板81の(100)表面に厚さ10nmのシリコン酸化膜82を熱酸化法を用いて形成する。次に同図(a)に示すように、シリコン酸化膜82上に厚さ200nmのシリコン窒化膜83をLPCVD法を用いて形成する。

【0007】次に図9(b)に示すように、シリコン窒化膜83、シリコン酸化膜82、シリコン基板81を順次エッチングすることにより、シリコン基板81の表面にトレンチ型の浅い素子分離溝84を形成する。

【0008】具体的には、まず、シリコン窒化膜83上に素子形成領域(活性層)を規定するフォトレジストパターン(不図示)を形成し、これをマスクにしてシリコン窒化膜83をRIE法を用いてエッチングすることにより、フォトレジストパターンのパターンをシリコン窒化膜83に転写する。

【0009】次にフォトレジストパターンを剥離した後、シリコン窒化膜83をマスクにしてシリコン酸化膜82、シリコン基板81をRIE法を用いて順次エッチングすることにより、素子分離溝84を形成する。

【0010】次に図9(c)に示すように、シリコン基板81の露出した表面に厚さ15nmのシリコン酸化膜85を熱酸化法を用いて形成する。

【0011】次に図9(d)に示すように、素子分離溝84およびその上のシリコン窒化膜83、シリコン酸化膜82により形成された溝の内部に素子分離絶縁膜86を埋込み形成し、表面を平坦化する。

【0012】具体的には、素子分離溝84およびその上のシリコン窒化膜83等により形成された溝の内部を埋め込むように、素子分離絶縁膜86としてのシリコン酸化膜をLPCVD法を用いて全面に形成した後、シリコン窒化膜83の表面が露出するまで、上記シリコン膜をCMP法を用いて研磨することにより、図9(d)の構造が得られる。

【0013】次に図10(e)に示すように、弗化アンモニウム溶液を用いて素子分離絶縁膜(シリコン酸化膜)86をシリコン基板81の表面程度まで後退させ、続いてホット磷酸を用いてシリコン窒化膜3を除去した後、希フロ酸を用いてシリコン酸化膜2を除去することにより、素子形成領域のシリコン基板81(活性層)を露出させる。

【0014】次に図10(f)に示すように、例えば亜酸化窒素ガスを用いて850°Cで酸窒化を行い厚さ4nmの酸窒化シリコン膜(ゲート絶縁膜)87をシリコン基板81の露出した表面上に形成した後、ゲート電極となるボロンを不純物として高濃度に含有する厚さ100nmの非晶質シリコン膜88をLPCVD法を用いて形成する。

【0015】この後、通常のMOSトランジスタの製造方法と同様に、ゲート電極のパターニング、ソース・ドレイン拡散層の形成、配線工程を行ってMOSトランジスタが完成する。

【0016】しかしながら、この種のMOSトランジスタの製造方法には以下のような問題があった。

【0017】すなわち、図10 (g) に示すように、素子分離溝84の側壁上端角部に位置する酸窒化シリコン膜(ゲート絶縁膜)87の膜厚は、素子形成領域に位置する酸窒化シリコン膜(ゲート絶縁膜)87の膜厚と同程度に薄くなる。したがって、電界集中が発生する素子分離溝84の側壁上端角部で酸窒化シリコン膜(ゲート絶縁膜)87の耐圧が低くなり、信頼性が低下するという問題があった。

【0018】なお、従来の通常のゲート絶縁膜の形成方法である熱酸化法では、酸化速度に面方位依存性があるので、図10 (h) に示すように、素子分離溝84の側壁上端角部に位置する熱酸化シリコン膜(ゲート絶縁膜)87の膜厚は、素子形成領域に位置する熱酸化シリコン膜(ゲート絶縁膜)87の膜厚よりも厚くなる。したがって、熱酸化シリコン膜(ゲート絶縁膜)87の耐圧は確保され、ゲート耐圧の低下による信頼性の低下の問題は無かった。

【0019】上述した酸窒化シリコン膜(ゲート絶縁膜)87の耐圧低下の問題を解決するためには、素子分離溝84の側壁上端角部からそれに接した素子形成領域の端部までの間の部分であるコーナー部に位置する酸窒化シリコン膜(ゲート絶縁膜)87を、素子形成領域の中央平坦部に位置する酸窒化シリコン膜(ゲート絶縁膜)87よりも厚く形成すればよい。

【0020】このように基板上の異なる領域に膜厚の異なるゲート絶縁膜を形成する技術は従来から知られている(特願平3-249810)。

【0021】しかしながら、この種の従来技術を用いると、コーナー部をマスクするためにフォトリソグラフィを用いる必要があるので、工程数(工程時間)や製造コストが増加するという問題があった。

【0022】また、合わせずれの問題があり、コーナー部に厚いゲート絶縁膜を確実に形成することは容易ではないという問題があった。

【0023】

【発明が解決しようとする課題】上述の如く、ゲート絶縁膜として酸窒化シリコン膜を用いたMOSトランジスタに関し、素子分離溝の側壁上端角部とこれに接した素子形成領域の端部との間の部分であるコーナー部におけるゲート絶縁膜の耐圧劣化を防止するために、素子形成領域の中央平坦部には所定通りの薄い酸窒化シリコン膜を形成するが、コーナー部には厚い酸窒化シリコン膜を形成することが考えられていた。

【0024】しかしながら、従来の基板上の異なる領域

に膜厚の異なるゲート絶縁膜を形成する方法は、フォトリソグラフィを用いる必要があった。

【0025】したがって、工程数(工程時間)や製造コストが増加したり、合わせずれによりコーナー部に厚いゲート絶縁膜を確実に形成することは容易ではないという問題があった。

【0026】本発明は、上記事情を考慮してなされたもので、その目的とするところは、素子形成領域と素子分離領域との境界領域における耐圧の劣化を抑制でき、かつ自己整合的に形成できる窒素を含むシリコン酸化膜またはシリコン窒化膜からなるゲート絶縁膜を有する半導体装置およびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】【構成】上記目的を達成するために、本発明(請求項1)に係る半導体装置は、素子形成領域と素子分離領域とに区分されたシリコン基板と、前記素子形成領域の前記シリコン基板の表面上に形成され、かつ前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在するゲート絶縁膜とを具備してなり、前記ゲート絶縁膜は窒素を含むシリコン酸化膜またはシリコン窒化膜を有し、かつ前記ゲート絶縁膜は、前記素子形成領域と前記素子分離領域との境界領域における膜厚が、前記素子形成領域の前記境界領域以外の領域における膜厚よりも厚くなるように自己整合的に形成されていることを特徴とする。

【0028】ここで、ゲート絶縁膜として、シリコン窒化膜を含む積層構造の絶縁膜を用いると良い(請求項2)。

【0029】また、本発明(請求項3)に係る半導体装置の製造方法は、シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記素子形成領域と前記素子分離領域との境界領域を除いた前記素子形成領域の前記シリコン基板の表面に窒素を導入する工程と、酸化剤を含む雰囲気中での熱処理により、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0030】また、本発明(請求項4)に係る他の半導体装置の製造方法は、シリコン基板の表面に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記素子形成領域の前記シリコン基板のうち前記素子分離溝の側壁上端角部に接したところの端部を覆うように、前記素子分離溝の内部を素子分離絶縁膜で充填する工程と、前記素子分離絶縁膜をマスクにして、前記素子形成領域の前記端部以外の領域の前記シリコン基板の表面に窒素を選択的に導入する工程と、前記側壁上端角部が露出するように、前記素子分離溝の外部の前記素子分離絶縁膜を除去する工程と、

窒化剤、または酸化剤と窒化剤を含む雰囲気中での熱処理により、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0031】また、本発明（請求項5）に係る他の半導体装置の製造方法は、シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記素子形成領域と前記素子分離領域との境界領域の前記シリコン基板の表面上に窒素を導入する工程と、堆積法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0032】また、本発明（請求項6）に係る他の半導体装置の製造方法は、シリコン基板上にマスクパターンを形成し、このマスクパターンをマスクにして前記シリコン基板をエッチングすることにより、前記シリコン基板の表面に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記マスクパターンのうち前記素子分離溝の側壁上端角部に接したところの端部を除去する工程と、前記マスクパターンの残った部分をマスクにして前記シリコン基板の表面に窒素を導入する工程と、前記マスクパターンを除去した後、堆積法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0033】また、本発明（請求項7）に係る他の半導体装置の製造方法は、シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記素子形成領域と前記素子分離領域との境界領域の前記シリコン基板の表面上に窒素を導入する工程と、窒化法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0034】また、本発明（請求項8）に係る他の半導体装置の製造方法は、シリコン基板上にマスクパターンを形成し、このマスクパターンをマスクにして前記シリコン基板をエッチングすることにより、前記シリコン基板の表面に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記マスクパターンのうち前記素子分離溝の側壁上端角部に接したところの端部を除去する工程と、前記マスクパターンの残った部分をマスクにして前記シリコン基板の表面に窒素を導入する工程と、前記マスクパターンを除去した後、窒化法を用いて、前記素子形成領域の前記シリ

コン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0035】また、本発明（請求項9）に係る他の半導体装置の製造方法は、結晶性のシリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記素子形成領域と前記素子分離領域との境界領域の前記シリコン基板の表面を選択的に非晶質化する工程と、窒化法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記素子分離領域の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0036】また、本発明（請求項10）に係る他の半導体装置の製造方法は、結晶性のシリコン基板上にマスクパターンを形成し、このマスクパターンをマスクにして前記シリコン基板をエッチングすることにより、前記シリコン基板の表面に素子分離溝を形成して、前記シリコン基板を素子形成領域と素子分離領域とに区分する工程と、前記マスクパターンのうち前記素子分離溝の側壁上端角部に接したところの端部を除去する工程と、マスクパターンの残った部分をマスクにして前記シリコン基板の表面にイオンを注入し、前記シリコン基板の前記表面を選択的に非晶質化する工程と、前記マスクパターンを除去した後、窒化法を用いて、前記素子形成領域の前記シリコン基板の表面上から前記素子形成領域と前記素子分離領域との境界を越えて前記側壁上端角部の前記シリコン基板の表面上まで延在した、ゲート絶縁膜を形成する工程とを有することを特徴とする。

【0037】ここで、本発明（請求項3～10）に係る半導体装置の製造方法において、シリコン基板の表面に窒素を導入する工程は、例えばアンモニアガスや一酸化窒素ガス等の窒化剤ガスを用いた熱窒化法、活性な窒素原子を用いたラジカル窒化法、または窒素イオンを用いたイオン注入法により行うと良い。

【0038】また、本発明（請求項9）に係る半導体装置の製造方法において、窒化法を用いてゲート絶縁膜を形成する前に、素子形成領域の境界領域以外の領域に自然酸化膜を形成しておくと良い。

【0039】また、本発明（請求項10）に係る半導体装置の製造方法において、シリコン基板の表面に注入するイオンとしては、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の不活性元素のイオン、窒素イオン、酸素イオンまたはシリコンイオンを用いると良い。

【0040】【作用】本発明（請求項1、2）によれば、ゲート絶縁膜として窒素を含むシリコン酸化シリコン膜またはシリコン窒化膜を用いた半導体装置において、素子形成領域と素子分離領域との境界領域における膜厚のほうが、素子形成領域の境界領域以外の領域にお

ける膜厚よりも厚いので、素子形成領域と素子分離領域との境界領域における耐圧の劣化を抑制できるようになる。

【0041】また、このようなゲート絶縁膜は本発明（請求項3～10）の製造方法により自己整合的に形成できるので、工程数（工程時間）や製造コストの増加を抑制でき、また境界領域における膜厚を確実に厚くすることができる。

【0042】本発明（請求項3、4）によれば、膜厚を薄くすることのシリコン基板表面には窒素は導入されおり、一方、膜厚を厚くするべきところのシリコン基板表面には窒素が導入されていないので、酸化剤を含む雰囲気中の熱処理により、膜厚の異なるゲート絶縁膜（窒素を含むシリコン酸化膜、シリコン窒化膜）を自己整合的に形成できる。

【0043】また、本発明（請求項5、6）によれば、膜厚を薄くすることのシリコン基板表面には窒素は導入されておらず、一方、膜厚を厚くするべきところのシリコン基板表面には窒素が導入されているので、堆積法を用いることにより、膜厚の異なるゲート絶縁膜（窒素を含むシリコン酸化膜、シリコン窒化膜）を自己整合的に形成できる。

【0044】また、本発明（請求項7、8）によれば、膜厚を薄くすることのシリコン基板表面には窒素は導入されておらず、一方、膜厚を厚くするべきところのシリコン基板表面には窒素が導入されているので、窒化法を用いることにより、膜厚の異なるゲート絶縁膜（窒素を含むシリコン酸化膜、シリコン窒化膜）を自己整合的に形成できる。

【0045】また、本発明（請求項9、10）によれば、膜厚を薄くすることのシリコン基板表面は単結晶のままで、一方、膜厚を厚くするべきところのシリコン基板表面は非晶質化されているので、窒化法を用いることにより、膜厚の異なるゲート絶縁膜（窒素を含むシリコン酸化膜、シリコン窒化膜）を自己整合的に形成できる。

#### 【0046】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0047】（第1の実施形態）図1、図2は、本発明の第1の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。図1、図2はゲート電極を通り、チャネル幅方向に平行な面の断面を示している。

【0048】まず、図1（a）に示すように、単結晶のシリコン基板1の（100）表面に厚さ10nmのシリコン酸化膜2を熱酸化法を用いて形成する。次に同図（a）に示すように、シリコン酸化膜2上に厚さ200nmのシリコン窒化膜3をLPCVD法を用いて形成する。

【0049】次に図1（b）に示すように、シリコン窒

化膜3、シリコン酸化膜2、シリコン基板1を順次エッチングすることにより、シリコン基板1の表面にトレンチ型の浅い素子分離溝4を形成する。

【0050】具体的には、まず、シリコン窒化膜3上に素子形成領域（活性層）を規定するフォトレジストパターン（不図示）を形成し、これをマスクにしてシリコン窒化膜3をRIE法を用いてエッチングすることにより、フォトレジストパターンのパターンをシリコン窒化膜3に転写する。

【0051】次にフォトレジストパターンを剥離した後、シリコン窒化膜3をマスクにしてシリコン酸化膜2、シリコン基板1をRIE法を用いて順次エッチングすることにより、素子分離溝4を形成する。

【0052】次に図1（c）に示すように、ホット燐酸を用いてシリコン窒化膜3の露出した表面を20nm後退させる。

【0053】次に図1（d）に示すように、シリコン窒化膜3で覆われていないシリコン基板1の表面に厚さ15nmのシリコン酸化膜5を熱酸化法を用いて形成する。

【0054】次に図1（e）に示すように、素子分離溝4およびその上のシリコン窒化膜3、シリコン酸化膜2により形成された溝の内部に素子分離絶縁膜6を埋込み形成し、表面を平坦化する。

【0055】具体的には、素子分離溝4およびその上のシリコン窒化膜3等により形成された溝の内部を埋め込むように、素子分離絶縁膜6としての厚さ500nmのシリコン酸化膜をLPCVD法を用いて全面に形成した後、シリコン窒化膜3の表面が露出するまで、上記シリコン膜をCMP法を用いて研磨することにより、図1（e）の構造が得られる。

【0056】次に図2（f）に示すように、弗化アンモニウム溶液を用いて素子分離絶縁膜（シリコン酸化膜）6の表面を後退させた後、ホット燐酸を用いてシリコン窒化膜3を除去する。

【0057】次に図2（g）に示すように、窒素イオンを用いたイオン注入法により、シリコン窒化膜3が除去された素子形成領域のシリコン基板1の中央平坦部表面に窒素を導入する。図中、7は窒素が導入された領域（窒素導入領域）を示している。

【0058】なお、窒素の導入は、上記方法の他に、NH<sub>3</sub>ガス、N<sub>2</sub>Oガス、NOガス等の窒化剤ガスを用いた熱窒化法、または窒素ラジカルを用いたラジカル窒化法により行っても良い。

【0059】これらの窒素の導入方法であれば、シリコン基板1の表面がシリコン酸化膜5で覆われていても、シリコン基板1の表面に窒素を導入することができる。

【0060】また、特にラジカル窒化を用いた場合には、低温での窒素導入が可能となるので、チャネル領域の不純物プロファイルの変動を防止でき、これによりしきいち電圧の変動を防止できるようになる。

【0061】また、特にイオン注入法を用いた場合は、より高濃度の窒素を導入することができるようになる。これにより、後工程である図2(i)の工程でより膜厚差の大きなゲート絶縁膜を形成することができるようになる。

【0062】図2(h)に示すように、希フ酸を用いて、素子分離絶縁膜(シリコン酸化膜6)の表面を基板表面程度まで後退させるとともに、シリコン酸化膜2を除去することにより、素子形成領域のシリコン基板1および素子分離溝4の側壁上端角部のシリコン基板1を露出させる。

【0063】図2(i)に示すように、亜酸化窒素ガスを用いて850℃で酸窒化を行なう酸窒化シリコン膜(ゲート絶縁膜)8をシリコン基板1の表面上に形成する。

【0064】ここで、素子形成領域のシリコン基板1の中央平坦部(窒素導入領域7)上での厚さが4nmになるように酸窒化シリコン膜(ゲート絶縁膜)8を形成すると、素子分離溝4の側壁上端角部からそれに接した素子形成領域の端部(窒素が導入されていない領域)までの間の部分であるコーナー部には、図2(j)に示すように、より厚い厚さ6nmの酸窒化シリコン膜(ゲート絶縁膜)8が形成される。

【0065】なお、亜酸化窒素ガスの代わりに、窒素を含まない酸化性ガス雰囲気中で熱処理を行ってもコーナー部で厚いゲート絶縁膜8を形成することができるが、本実施形態のように窒素を含む酸化性ガス雰囲気中で熱処理を行うことにより、コーナー部に窒素を含むゲート絶縁膜8を形成することができるので、ボロンの突抜けをより効果的に防止できるようになる。

【0066】すなわち、本実施形態によれば、コーナー部のシリコン基板1の表面上における膜厚のほうが、素子形成領域のシリコン基板1の中央平坦部表面よりも膜厚が厚い酸窒化シリコン膜(ゲート絶縁膜)8を自己整合的に形成できる。

【0067】これにより、工程数(工程時間)や製造コストの増加を抑制でき、また境界領域における膜厚を確実に厚くすることができるようになる。

【0068】また、コーナー部における酸窒化シリコン膜(ゲート絶縁膜)8の電界集中が緩和され、酸窒化シリコン膜(ゲート絶縁膜)8の信頼性が向上する。

【0069】さらに、シリコン基板1との界面付近の酸窒化シリコン膜(ゲート絶縁膜)8にかかるストレスが緩和され、これによっても信頼性が向上する。

【0070】次に同図(i)に示すように、ゲート電極となるボロンを不純物として高濃度に含有する厚さ100nmの非結晶シリコン膜9をLPCVD法を用いて形成する。

【0071】ここで、酸窒化シリコン膜(ゲート絶縁膜)8中には窒素が含まれているので、非結晶シリコン膜(ゲート電極)9中のボロンがシリコン基板1中に拡

散することを抑制でき、これにより高速のMOSトランジスタを設計通りに製造できるようになる。

【0072】また、酸窒化シリコン膜(ゲート絶縁膜)8中には窒素が含まれていることから、酸窒化シリコン膜(ゲート絶縁膜)8のシリコン酸化膜換算膜厚は、酸窒化シリコン膜(ゲート絶縁膜)8の物理的膜厚よりも薄くなる。

【0073】したがって、素子形成領域のシリコン基板1の中央平坦部における信頼性を高くするために、酸窒化シリコン膜(ゲート絶縁膜)8の物理的膜厚を厚くしても、MOSトランジスタの高速化が可能となる。

【0074】この後、通常のMOSトランジスタの製造方法と同様に、ゲート電極のパターニング、ソース・ドレイン拡散層の形成、配線工程を行なうことでMOSトランジスタが完成する。

【0075】以上述べたよう本実施形態によれば、素子形成領域のシリコン基板1の中央平坦部に窒素を選択的に導入した後、酸化剤を含む雰囲気中での熱処理を行うことにより、コーナー部での膜厚が厚いゲート絶縁膜8を自己整合的に形成でき、これにより工程数(工程時間)の増大を招かずに済むようになる。

【0076】(第2の実施形態)図3、図4は、本発明の第2の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。図3、図4はゲート電極を通じ、チャネル幅方向に平行な面の断面を示している。また、図1、図2と対応する部分には図1、図2と同一符号を付してあり、詳細な説明は省略する。

【0077】まず、第1の実施形態の図1(a)から図2(d)までの工程を行なった後(図3(a))、図3(b)に示すように、NH<sub>3</sub>ガスを用いた熱窒化法によりシリコン基板1のシリコン酸化膜5で覆われた表面に窒素を導入する。図中、7aは窒素が導入された領域(窒素導入領域)を示している。

【0078】なお、窒素の導入は、第1の実施形態の場合と同様に、N<sub>2</sub>Oガス、NOガス等を用いた熱窒化法、窒素ラジカルを用いたラジカル窒化法、または窒素イオンを用いたイオン注入法により行なっても良い。

【0079】次に図3(c)に示すように、素子分離溝4およびその上のシリコン窒化膜3、シリコン酸化膜2により形成された溝の内部に素子分離絶縁膜(シリコン酸化膜)6を埋込み形成し、表面を平坦化する。

【0080】次に図3(d)に示すように、希フ酸を用いて、素子分離絶縁膜(シリコン酸化膜6)の表面を基板表面程度まで後退させるとともに、シリコン酸化膜2を除去することにより、素子形成領域のシリコン基板1および素子分離溝4の側壁上端角部のシリコン基板1を

露出させる。

【0082】次に図4 (f) に示すように、 $\text{NH}_3$  と  $\text{SiH}_2\text{Cl}_2$  との混合ガスを用いたLPCVD法により、シリコン窒化膜（ゲート絶縁膜）8aをシリコン基板1の表面上に形成する。

【0083】ここで、素子形成領域のシリコン基板1の中央平坦部（窒素導入領域7a）上での厚さが8nmになるようにシリコン窒化膜（ゲート絶縁膜）8aを形成すると、素子分離溝4の側壁上端角部からそれに接した素子形成領域の端部（窒素が導入されていない領域）までの間の部分であるコーナー部には、図4 (g) に示すように、より厚い厚さ12nmのシリコン窒化膜（ゲート絶縁膜）8aが形成される。コーナー部での膜厚が厚くなる理由は、そこには窒素が導入されているために堆積初期の無反応時間が短縮されるからである。

【0084】すなわち、本実施形態によれば、コーナー部のシリコン基板1の表面上における膜厚のほうが、素子形成領域のシリコン基板1の中央平坦部表面よりも膜厚が厚い酸窒化シリコン膜（ゲート絶縁膜）8aを自己整合的に形成できる。

【0085】次に同図 (i) に示すように、ゲート電極となる例えはボロンを不純物として高濃度に含有する厚さ100nmの非結晶シリコン膜9をLPCVD法を用いて形成する。

【0086】この後、通常のMOSトランジスタの製造方法と同様に、ゲート電極のパターニング、ソース・ドレイン拡散層の形成、配線工程を行ってMOSトランジスタが完成する。

【0087】以上述べたように本実施形態によれば、素子形成領域のシリコン基板1の中央平坦部に窒素が導入されないようにコーナー部に窒素を導入した後、窒化シリコンを堆積することにより、コーナー部での膜厚が厚いシリコン窒化膜（ゲート絶縁膜）8を自己整合的に形成でき、これにより工程数（工程時間）の増大を招かずに済むようになる。その他、第1の実施形態と同様の効果が得られる。

【0088】なお、本実施形態では、ゲート絶縁膜としてシリコン窒化膜、ゲート電極としてドープト非晶質シリコン膜を用いたが、ゲート絶縁膜としてシリコン窒化膜（下層）と  $\text{Ta}_2\text{O}_5$ （上層）からなる積層構造の絶縁膜を用い、ゲート電極としてRu膜を用いても、下層に形成するシリコン窒化膜がコーナー部で厚くなっているため、コーナー部におけるゲート絶縁膜の耐圧は向上する。また、ゲート絶縁膜として窒化シリコン膜を用いても良い。

【0089】（第3の実施形態）図5は、本発明の第3の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。図5はゲート電極通り、チャネル幅方向に平行な面の断面を示している。また、図3、図4と対応する部分には図3、図4と同一符号を付してあ

り、詳細な説明は省略する。

【0090】まず、第2の実施形態の図4 (e) までの工程を行った後（図5 (a)）、図5 (b) に示すように、 $\text{NH}_3$ ガスやNOガス、または窒素ラジカルを用いた窒化法により、シリコン基板1の表面に下地シリコン窒化膜（不図示）を形成した後、 $\text{NH}_3$ と  $\text{SiH}_2\text{Cl}_2$ との混合ガスを用いたLPCVD法により、4nmのシリコン窒化膜（ゲート絶縁膜）8bを下地シリコン窒化膜上に形成する。

【0091】ここで、素子形成領域のシリコン基板1の中央平坦部上での厚さが約1nmになるように下地シリコン窒化膜を形成すると、素子分離溝4の側壁上端角部からそれに接した素子形成領域の端部までの間の部分であるコーナー部には、厚さ約2nmの下地シリコン窒化膜が形成される。コーナー部での膜厚が厚くなる理由は、そこには窒素導入領域7aが形成されているからである。

【0092】したがって、図5 (c) に示すように、素子形成領域のシリコン基板1の中央平坦部上でのゲート絶縁膜（シリコン窒化膜8b (4nm) + 下地シリコン窒化膜 (1nm)）の膜厚（5nm）は、コーナー部のシリコン基板1上でのゲート絶縁膜（シリコン窒化膜8b (4nm) + 下地シリコン窒化膜 (2nm)）の膜厚（6nm）よりも薄くなる。

【0093】すなわち、本実施形態によれば、コーナー部のシリコン基板1の表面上における膜厚のほうが、素子形成領域のシリコン基板1の中央平坦部表面よりも膜厚が厚いゲート絶縁膜（シリコン窒化膜8b + 下地シリコン窒化膜）を自己整合的に形成できる。

【0094】次に同図 (b) に示すように、ゲート電極となるボロンを不純物として高濃度に含有する厚さ100nmの非結晶シリコン膜9をLPCVD法を用いて形成する。

【0095】この後、通常のMOSトランジスタの製造方法と同様に、ゲート電極のパターニング、ソース・ドレイン拡散層の形成、配線工程を行ってMOSトランジスタが完成する。

【0096】以上述べたように本実施形態によれば、素子形成領域のシリコン基板1の中央平坦部に窒素が導入されないようにコーナー部に窒素を導入した後、シリコン基板表面を窒化することにより、コーナー部での膜厚が厚いシリコン窒化膜（ゲート絶縁膜）8bを自己整合的に形成でき、これにより工程数（工程時間）の増大を招かずに済むようになる。その他、第1の実施形態と同様の効果が得られる。

【0097】なお、図3 (d) の工程の後にシリコン酸化膜2を除去し、次いで素子形成領域のシリコン基板1の表面に自然酸化膜を形成した後に下地シリコン窒化膜を形成するための窒化を行うと、自然酸化膜による窒化の抑制によりコーナー部と素子形成領域の中央平坦部と

の膜厚差がより大きな下地シリコン窒化膜を形成することができ、また形成された下地シリコン窒化膜中の固定電荷密度が減少するという効果も得られる。

【0098】また、本実施形態では、ゲート絶縁膜として堆積法で形成したシリコン窒化膜8b、ゲート電極としてドープト非晶質シリコン膜を用いたが、その代わりに例えばゲート絶縁膜として堆積法で形成したTa<sub>2</sub>O<sub>5</sub>膜やBSTO膜を用い、ゲート電極としてRu膜を用いても、同様にコーナー部で下地シリコン窒化膜が厚くなっているため、コーナー部におけるゲート絶縁膜の耐圧は向上する。また、ゲート絶縁膜として、シリコン基板の表面を窒化して形成したシリコン窒化膜を用いても良い。

【0099】(第4の実施形態) 図6、図7は、本発明の第4の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。図6、図7はゲート電極を通り、チャネル幅方向に平行な面の断面を示している。また、図1、図2と対応する部分には図1、図2と同一符号を付してあり、詳細な説明は省略する。

【0100】まず、第1の実施形態の図1(a)から図2(d)までの工程を行った後(図6(a))、図6(b)に示すように、シリコン基板1のシリコン酸化膜5で覆われた表面にシリコン、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素または酸素等の元素のイオンを注入することにより、その表面を非晶質化する。図中、10は非晶質化されたシリコン領域(非晶質シリコン領域)を示している。

【0101】ここで、注入元素としてシリコン基板1の構成元素と同じであるシリコンを選んだ場合には、注入元素(シリコン)とシリコン基板1との間の反応が無いので、素子特性は影響を受けない。

【0102】次に図6(c)に示すように、素子分離溝4およびその上のシリコン窒化膜3、シリコン酸化膜2により形成された溝の内部に素子分離絶縁膜(シリコン酸化膜)6を埋込み形成し、表面を平坦化する。

【0103】次に図6(d)に示すように、弗化アンモニウム溶液を用いて素子分離絶縁膜(シリコン酸化膜)6の表面を後退させた後、ホット燐酸を用いてシリコン窒化膜3を除去する。

【0104】次に図7(e)に示すように、希弗酸を用いて、素子分離絶縁膜(シリコン酸化膜)6の表面を基板表面程度まで後退させるとともに、シリコン酸化膜2を除去することにより、素子形成領域のシリコン基板1および素子分離溝4の側壁上端角部のシリコン基板1を露出させる。

【0105】ここで、非晶質シリコン領域10を形成してからここまで工程は高温熱工程を避けることにより、素子分離溝4の側壁上端角部からそれに接した素子形成領域の端部までの間の部分であるコーナー部の非晶質シリコン領域10が消滅しないようにする。そのため

には、窒素、酸素等の固相成長速度が遅い元素のイオンを注入して、非晶質シリコン領域10を形成することが好ましい。

【0106】次に図7(f)に示すように、NH<sub>3</sub>ガスやNOガス、または窒素ラジカルを用いた窒化法により、シリコン基板1の露出した表面上に下地シリコン窒化膜(不図示)を形成した後、NH<sub>3</sub>とSiH<sub>2</sub>Cl<sub>2</sub>との混合ガスを用いたLPCVD法により、5nmのシリコン窒化膜(ゲート絶縁膜)8aを下地シリコン窒化膜上に形成する。

【0107】ここで、素子形成領域のシリコン基板1の中央平坦部上での厚さが約1nmになるように下地シリコン窒化膜を形成すると、素子分離溝4の側壁上端角部からそれに接した素子形成領域の端部までの間の部分であるコーナー部には、厚さ約2nmの下地シリコン窒化膜が形成される。コーナー部での膜厚が厚くなる理由は、そこには非晶質シリコン領域10が形成されているからである。

【0108】したがって、図7(g)に示すように、素子形成領域のシリコン基板1の中央平坦部上でのゲート絶縁膜(シリコン窒化膜8a(4nm)+下地シリコン窒化膜(1nm))の膜厚(5nm)は、コーナー部のシリコン基板1上でのゲート絶縁膜(シリコン窒化膜8a(4nm)+下地シリコン窒化膜(2nm))の膜厚(6nm)よりも薄くなる。

【0109】すなわち、本実施形態によれば、コーナー部のシリコン基板1の表面上における膜厚のほうが、素子形成領域のシリコン基板1の中央平坦部表面よりも膜厚が厚いゲート絶縁膜(シリコン窒化膜8a+下地シリコン窒化膜)を自己整合的に形成できる。

【0110】次に同図(f)に示すように、ゲート電極となる例えばボロンを不純物として高濃度に含有する厚さ100nmの非結晶シリコン膜9をLPCVD法を用いて形成する。

【0111】この後、通常のMOSトランジスタの製造方法と同様に、ゲート電極のパターニング、ソース・ドレイン拡散層の形成、配線工程を行ってMOSトランジスタが完成する。

【0112】以上述べたように本実施形態によれば、素子形成領域のシリコン基板1の中央平坦部が非晶質化されないようにコーナー部を非晶質化した後、窒化を行うことにより、コーナー部での膜厚が厚いシリコン窒化膜(ゲート絶縁膜)8aを自己整合的に形成でき、これにより工程数(工程時間)の増大を招かずに済むようになる。その他、第1の実施形態と同様の効果が得られる。また、第3の実施形態と同様な変形例が可能である。

【0113】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、素子分離技術としてSTIを用いた場合について説明したが、本発明は素子分離技術としてLOCOSを用いた場合にも

有効である。

【0114】すなわち、LOCOSを用いた場合には、図8に示すように、シリコン窒化膜下のキャップシリコン酸化膜を除去する際に、素子形成領域に接したところの素子分離領域の端部のシリコン酸化膜（素子分離絶縁膜）2が除去されるので、この状態でゲート絶縁膜を形成するとSTIの場合と同様の問題が起こるが、本発明に従ってゲート絶縁膜を形成すればそのような問題は起こらない。

【0115】また、上記実施形態では、MOSトランジスタの場合について説明したが、本発明はMIS型容量素子にも適用できる。すなわち、上記各実施形態のMOSトランジスタにおいて、ソース・ドレイン拡散層の形成を省略すると、コーナー部での耐圧劣化が抑制された信頼性の高いMIS型容量素子を実現できるようになる。

【0116】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0117】

【発明の効果】以上詳説したように本発明によれば、素子形成領域と素子分離領域との境界領域における膜厚のほうが、素子形成領域の境界領域以外の領域における膜厚よりも厚いゲート絶縁膜（窒素を含むシリコン酸化、シリコン窒化膜またはそれらを用いた積層膜）を自己整合的に形成できるので、工程数（工程時間）や製造コストの増加を招かずに、素子形成領域と素子分離領域との境界領域におけるゲート絶縁膜の耐圧劣化を抑制できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るMOSトランジスタの前半の製造方法を示す工程断面図

【図2】本発明の第1の実施形態に係るMOSトランジ

スタの後半の製造方法を示す工程断面図

【図3】本発明の第2の実施形態に係るMOSトランジスタの前半の製造方法を示す工程断面図

【図4】本発明の第2の実施形態に係るMOSトランジスタの後半の製造方法を示す工程断面図

【図5】本発明の第3の実施形態に係るMOSトランジスタの後半の製造方法を示す工程断面図

【図6】本発明の第4の実施形態に係るMOSトランジスタの前半の製造方法を示す工程断面図

【図7】本発明の第4の実施形態に係るMOSトランジスタの後半の製造方法を示す工程断面図

【図8】本発明の変形例を説明するための断面図

【図9】従来のMOSトランジスタの前半の製造方法を示す工程断面図

【図10】従来のMOSトランジスタの後半の製造方法を示す工程断面図

【符号の説明】

1…シリコン基板

2…シリコン酸化膜

3…シリコン窒化膜

4…素子分離溝

5…シリコン酸化膜

6…素子分離絶縁膜（シリコン酸化膜）

7, 7a…窒素導入領域

8…酸窒化シリコン膜（ゲート絶縁膜）

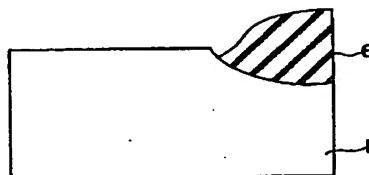
8a…シリコン窒化膜（堆積法で形成したゲート絶縁膜）

8b…シリコン窒化膜（窒化法で形成したゲート絶縁膜）

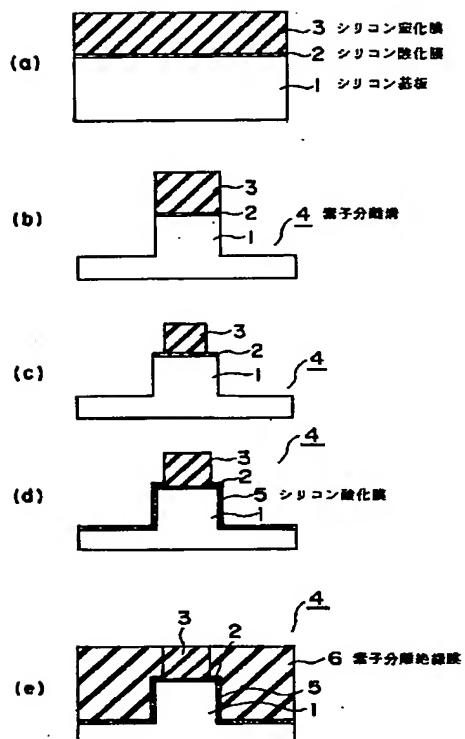
9…非結晶シリコン膜（ゲート電極）

10…非晶質シリコン領域

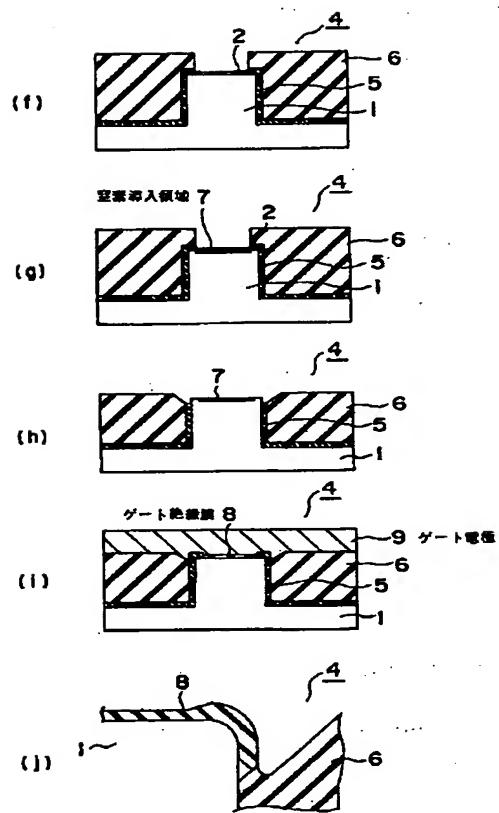
【図8】



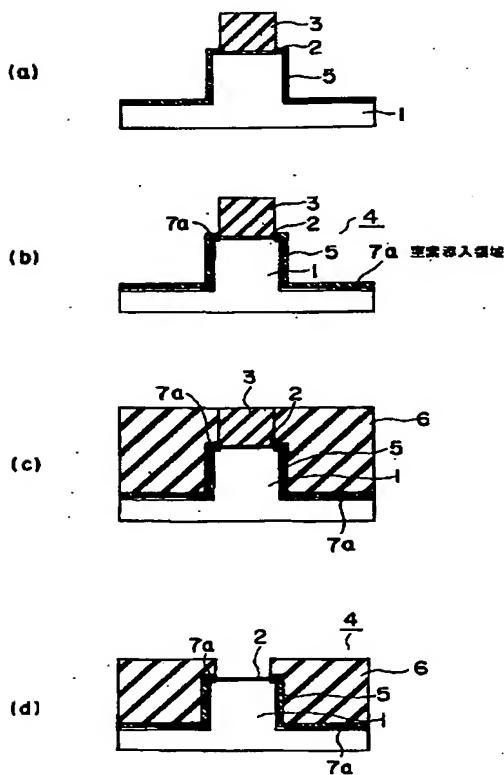
【図1】



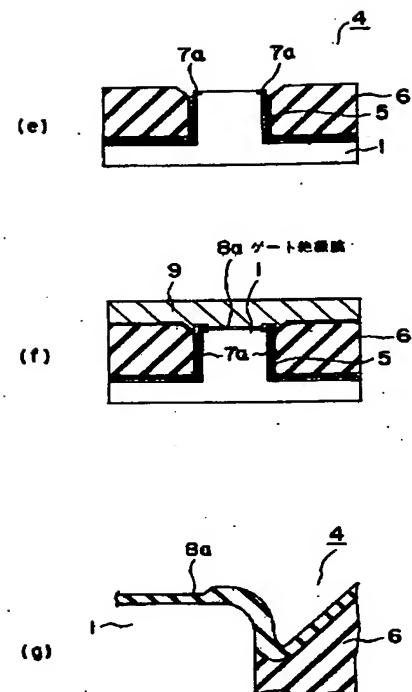
【図2】



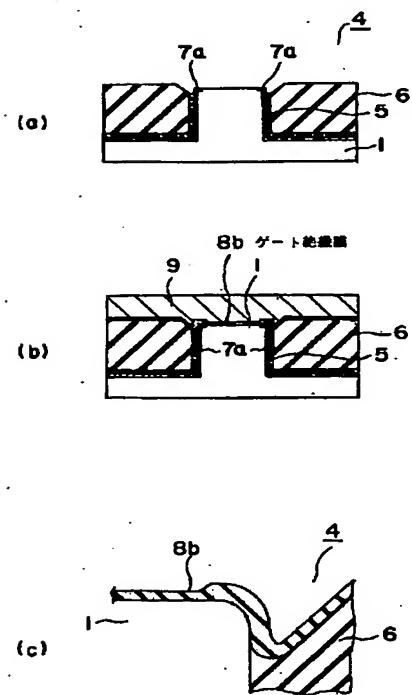
【図3】



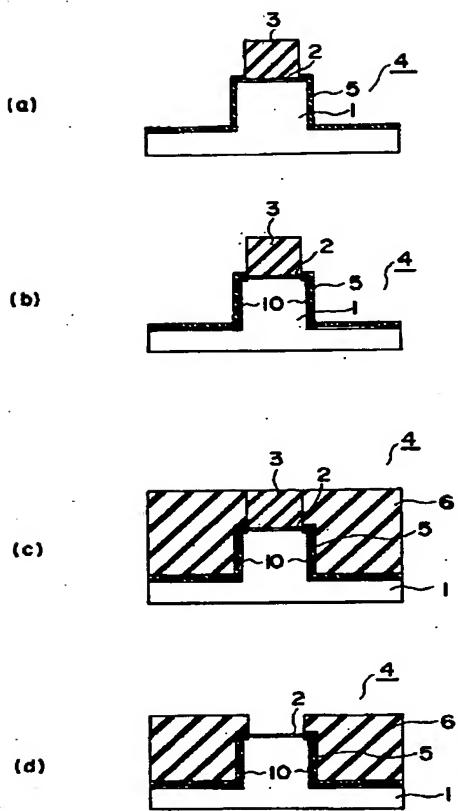
【図4】



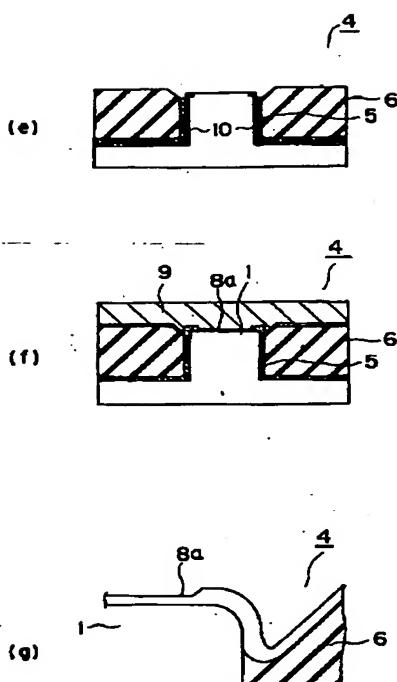
【図5】



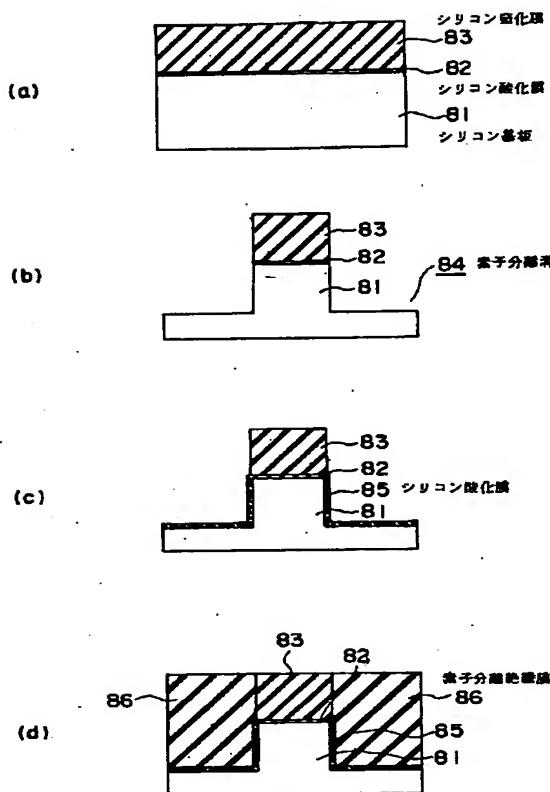
【図6】



【図7】



【図 9】



【図 10】

